

10 Integrierte Bipolar-Schaltungen

Dieses Kapitel befaßt sich mit planaren Formen des bipolaren Transistors, die für integrierte Schaltungen geeignet sind, sowie mit deren Anwendung für einfache Schaltungen. Die Welt-handelsstatistik für integrierte Schaltungen läßt die Wichtigkeit der bipolaren Schaltungen nicht erkennen, weil die sehr hohe Umsätze erzielenden Halbleiterspeicher meist in MOS-Technologie gefertigt werden. Insbesondere für sehr schnelle Schaltungen sind bipolare Schaltungen von großer Bedeutung. Im Rahmen modularer Fertigungs-Prozesse können sogar bipolare Schaltungen mit MOS-Schaltungen auf dem gleichen Chip gefertigt werden.

Wir wollen uns auch in diesem Kapitel zunächst mit den "Devices" befassen (Abschnitt 10.1), sowie daran anschließend mit Elementen des Layout-Entwurf (physical design). Um die beim "physical design" vorgegebenen Layout-Regeln (Design Rules) besser verstehen zu können (Kapitel 12), wollen wir uns kurz informell mit der Veranschaulichung des Produktionsprozeß befassen (Abschnitt 10.1.1). Die Grundsaltungen für bipolare Transistoren wurden bereits in Kapitel 6 behandelt. Abschnitt 10.1 befaßt sich mit Transistoren selbst, soweit dies für Layout-nahe Entwurfsentscheidungen relevant ist. Abschnitt 10.2 befaßt sich dann auf dieser Basis mit den Grundzügen des Layout-Entwurf integrierter Injektions-Logik (IIL oder I²L), die eher als ein Flächen-effizienter Layout-Stil, denn als "Technologie" von Interesse ist.

10.1 Planare Realisierung von Bipolar-Transistoren

Der bipolare Flächentransistor in seiner ursprünglichen Form (npn-Transistor in Bild 10.3 a, vgl. auch Bild 6.5 b) eignet sich nicht für die planare Technik der integrierten Schaltungen. Eine geeignete Form ergibt sich dadurch, daß die drei Materialschichten wannenförmig ineinander geschachtelt werden derart, daß die Wannen nacheinander von der planaren Oberfläche des Chip gefertigt werden können (Bild 10.3 b), als auch angeschlossen werden können. Eine günstigere Stromverteilung hat der Transistor mit der Form in Bild 10.3 c (vergleiche Bild 10.3 d mit Bild 10.3 e). Bild 10.4 zeigt Layout (a) und Schnittbild (b) eines Bipolar-Transistors mit Underlayer und Sperrschicht-Isolierung gemäß Layoutregeln nach Elmasry [1].

Im Gegensatz zum MOS-Transistor, der sich quasi selbst vom Substrat und damit auch von seinen Nachbartransistoren isoliert, bedarf es beim bipolaren Transistor besonderer Maßnahmen.

10.1 Planare Realisierung von Bipolar-Transistoren	205
10.1.1 Über die Herstellung von Bipolar-Transistoren.....	206
10.1.2 Weitere Layout-Beispiele	209
10.1.3 Modulare Prozesse	210
10.1.4 Stick-Diagramme für bipolare Schaltungen.....	210
10.2 Integrierte Injektions-Logik (I ² L).....	212
10.2.1 I ² L Devices.....	212
10.2.2 I ² L-Schaltnetze	214
10.2.3 Technology Mapping für I ² L.....	215
10.2.3 Technology Mapping für I ² L.....	215
10.3 Literatur.....	220

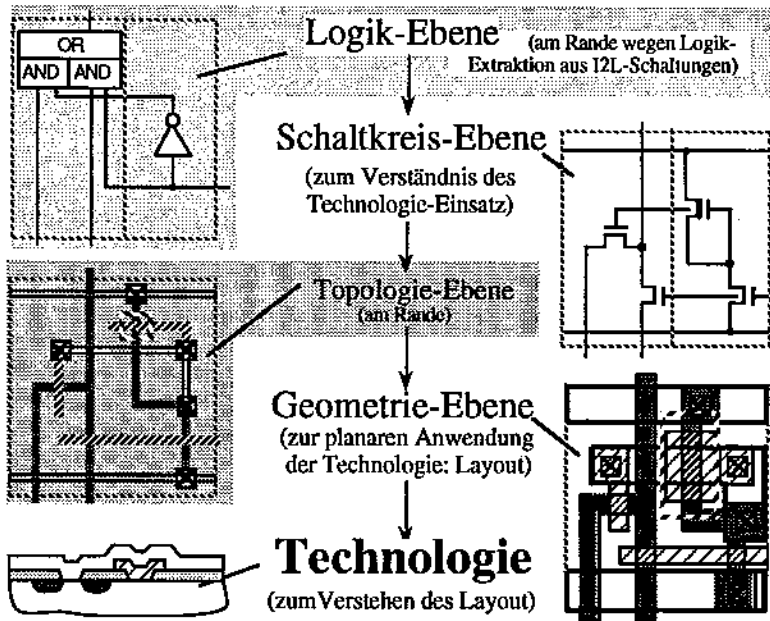


Bild 10.1 Von diesem Kapitel hauptsächlich berührte Abstraktionsebenen.

Eine mögliche Lösung ist die Sperrschicht-Isolierung (*junction isolation*). Jeder Transistor wird

Material	Abk.	Schraffur	Farbe
p+ underlayer	p+U		orange
p+ Isolation	p+I		grau
p+ Enhancement-Basis	p+E		dunkelrot

wie von einem Zaun allseits lückenlos von einer stark p-dotierten Sperrschicht genannt "p+I" umgeben (Bild 10.4 a). Dies kostet Fläche und ist ein Grund dafür, weshalb mit einer bipolaren Technologie hohe Integrationsdichten schwieriger zu erreichen sind, als mit MMOS-Technologien. Die Isolierung nach unten erfolgt ebenfalls durch eine Sperrschicht. Diese entsteht dadurch, daß das Substrat

Bild 10.2: Materialien für Bipolar-Transistoren: zusätzlich zu CMOS (Bild 12.8 u. Bild 12.26) nötig.

ebenfalls p-leitend ist. Da die Isolierbarriere p+I diesen p-leitenden Boden berührt, ist der Transistor von einer p-dotierten Wanne völlig eingeschlossen.

Im Vergleich zur den bisher in diesem Text eingeführten Materialien (vgl. CMOS-Technologie: Legende von Bild 12.8 sowie Bild 12.23 und Bild 12.26) benötigen wir für den hier eingeführten bipolaren Transistor drei weitere Materialien (Bild 10.2). Neben der Schicht "Isolation p+I" benötigen wir eine p+ Unterschicht (*underlayer*, vgl. Bild 10.4 b), sowie evtl. eine stärker dotierte Schicht "p+ enhancement-Basis" (Bild 10.2).

10.1.1 Über die Herstellung von Bipolar-Transistoren

Es gibt eine größere Anzahl technologischer Varianten in der Herstellung bipolarer Transistoren und integrierter Schaltungen. Hier wird nur ein Beispiel herausgegriffen: planare Transi-



10.1 Planare Realisierung von Bipolar-Transistoren

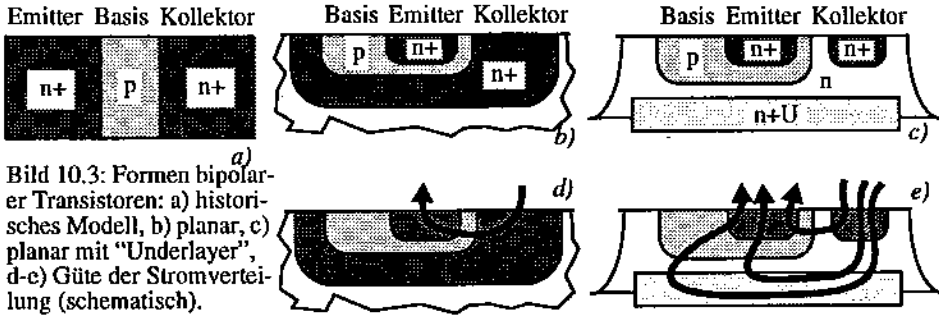


Bild 10.3: Formen bipolarer Transistoren: a) historisches Modell, b) planar, c) planar mit "Underlayer", d-e) Güte der Stromverteilung (schematisch).

storen mit Sperrschicht-Isolierung [1] (vgl. Bild 10.3 c/e). Bild 10.5 veranschaulicht die Folge der Prozessschritte für integrierte Bipolarschaltungen diesen Typs. Begonnen wird mit einem p-leitenden Substrat (Bild a), auf welche dann die stark n-dotierte Unterschicht n+U eindiffundiert bzw. -implantiert wird (Bild b). Sodann wird auf die gesamte Oberfläche durch ein Epita-

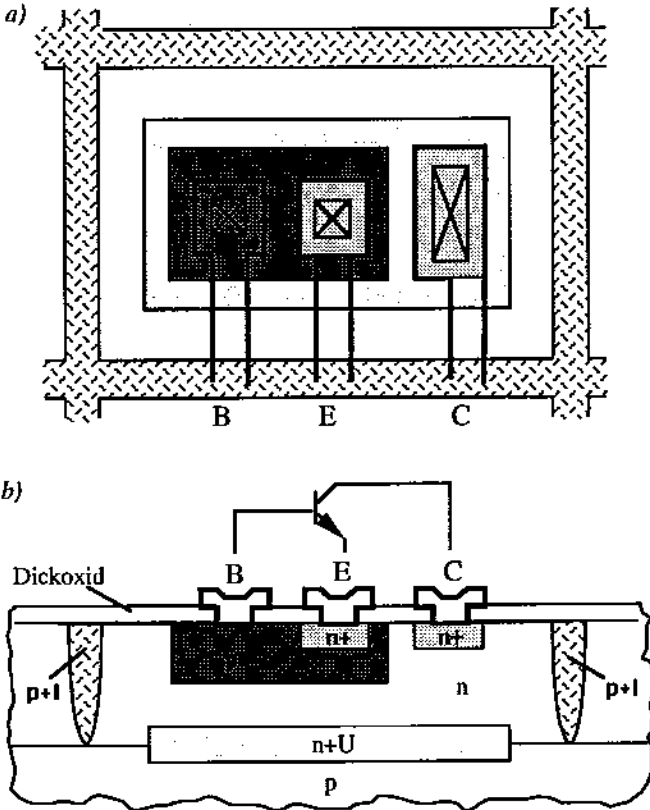


Bild 10.4: Bipolar-Transistor mit Underlayer und Sperrschicht-Isolierung: a) Layout. b) Schnittbild.

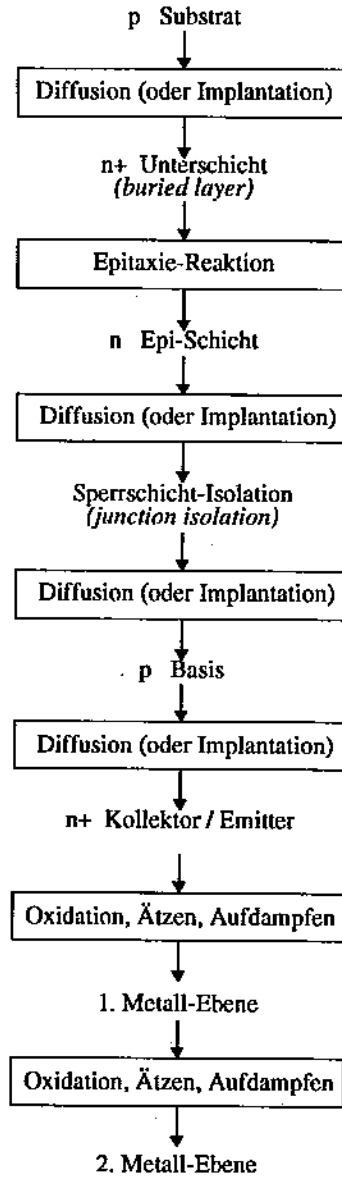
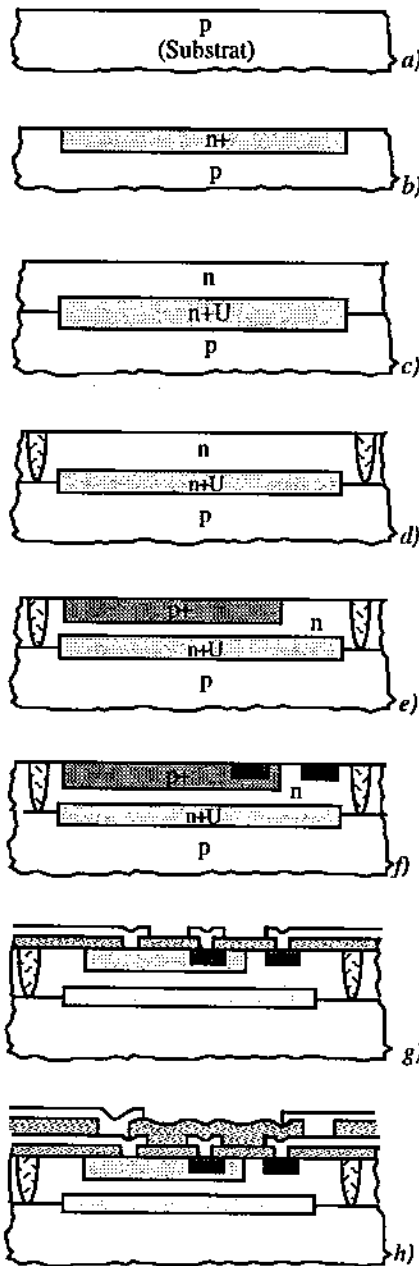


Bild 10.5: Folge der Prozessschritte am Beispiel des Transistors nach

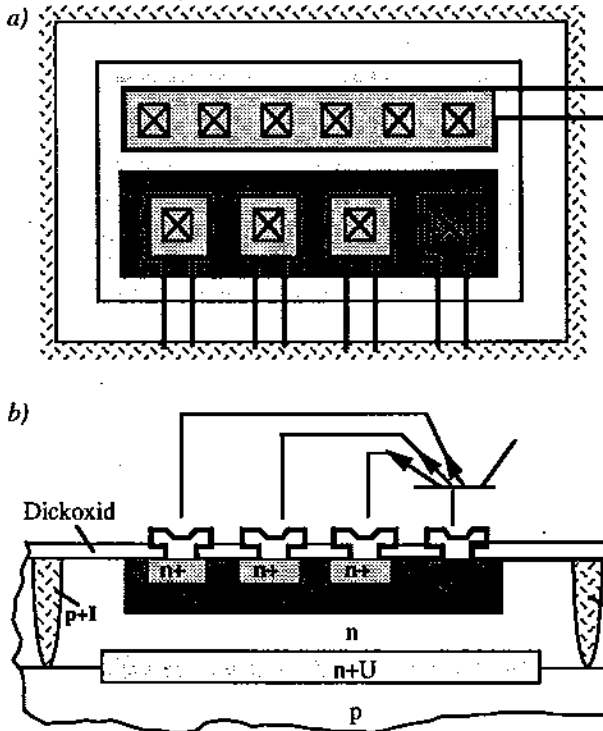


Bild 10.6: Multi-Emitter-Transistor: a) Layout, b) Schnittbild.

xie-Verfahren eine relativ dicke n-leitende Schicht aufgetragen, unter welcher dann die Unterschicht "vergraben" (*buried layer*) ist (Bild c). Sodann wird der stark p-leitende Isolierkragen um Transistoren herum eindiffundiert (Bild d). Nun ist für jeden Transistor eine p-leitenden Wanne vorhanden, die sich aus dem Substrat und dem Isolierkragen lückenlos zusammensetzt.

Nun kann mit der Herstellung der Transistoren begonnen werden. Zuerst wird die stark p-leitende Basis relativ tief eindiffundiert (Bild e). In diese Basis-Schicht wird nun weniger tief der Emitter-Stopfen und neben diese Basis der Kollektor-Stopfen eindiffundiert (Bild f, beide stark n-leitend). Der Transistor ist fertig und muß nur noch angeschlossen werden. Nach Aufbringen von Dickoxid, Ätzen der Kontaktlöcher (*cut*) in dieses hinein, sowie Aufdampfen der ersten Metall-Ebene erhalten wir das Schnittbild g). Nach Aufbringen einer weiteren Schicht Dickoxid, Ätzen der Kontaktlöcher (*via*) in letzteres hinein, sowie Aufdampfen der zweiten Metall-Ebene erhalten wir das Schnittbild h). Bis auf die Schutzglasur ist damit der Prozeß beendet.

10.1.2 Weitere Layout-Beispiele

Ein solcher Prozeß läßt eine Mannigfaltigkeit von Layoutformen zu, wie folgende einfache Schaltungen zeigen. Bild 10.4 zeigt Layout und Schnittbild des in Bild 10.5 schon verwendeten Transistors. Bild 10.6 zeigt Layout und Schnittbild eines Multi-Emitter-Transistors. Zwecks

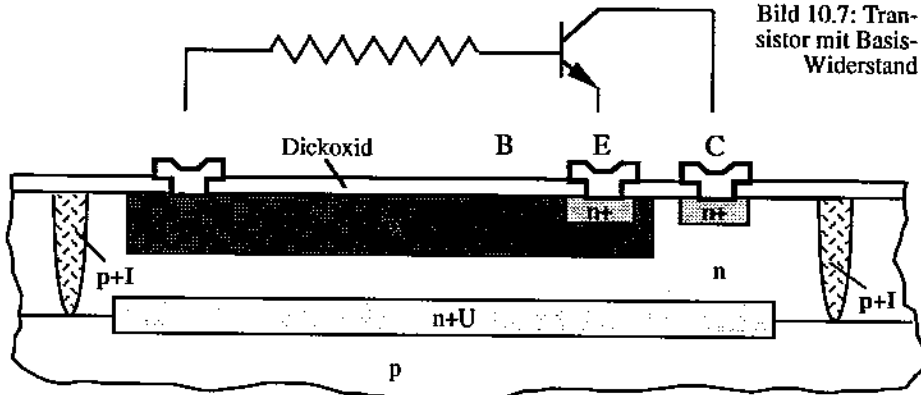


Bild 10.7: Transistor mit Basis-Widerstand

niedrigeren Übergangs-Widerstandes ist der Kollektor durch mehrere Kontaktlöcher angeschlossen. Bild 10.7 zeigt einen Transistor mit integriertem Basis-Vorwiderstand. Der Widerstand entstand dadurch, daß die Basis-Schicht in die Länge gezogen wurde. Analog hierzu zeigt Bild 10.8 einen Transistor mit integriertem Kollektor-Vorwiderstand.

10.1.3 Modulare Prozesse

Modulare Prozesse erlauben es beispielsweise, daß bipolare Schaltungen und CMOS-Schaltungen auf einem einzigen Chip miteinander gefertigt werden können. Ein Beispiel für einen solchen bipolaren Prozeß ist die sogenannte BiCMOS-Technologie. Bild 10.9 veranschaulicht, wie mit dem gleichen Repertoire an Materialschichten das Layout von Bipolar-Schaltungen (Bild a), I²L-Schaltungen (Bild b), nMOS-Schaltungen (Bild c), und pMOS-Schaltungen (Bild d) und somit auch CMOS-Schaltungen, und gebildet werden können.

10.1.4 Stick-Diagramme für bipolare Schaltungen

Wir verwenden, wenn wir das Stickdiagramm farbig darstellen, für Poly rote, für Diffusion grüne und für Metall blaue Striche u. s. w. In Schwarz-Weiß-Abbildungen wie in diesem Text

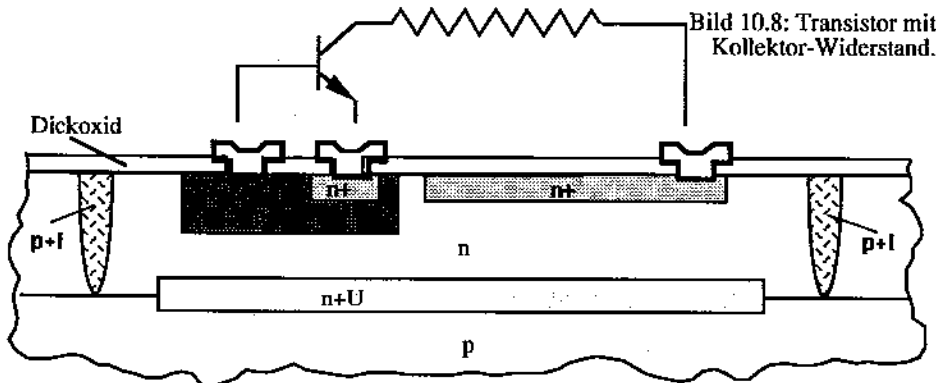


Bild 10.8: Transistor mit Kollektor-Widerstand.

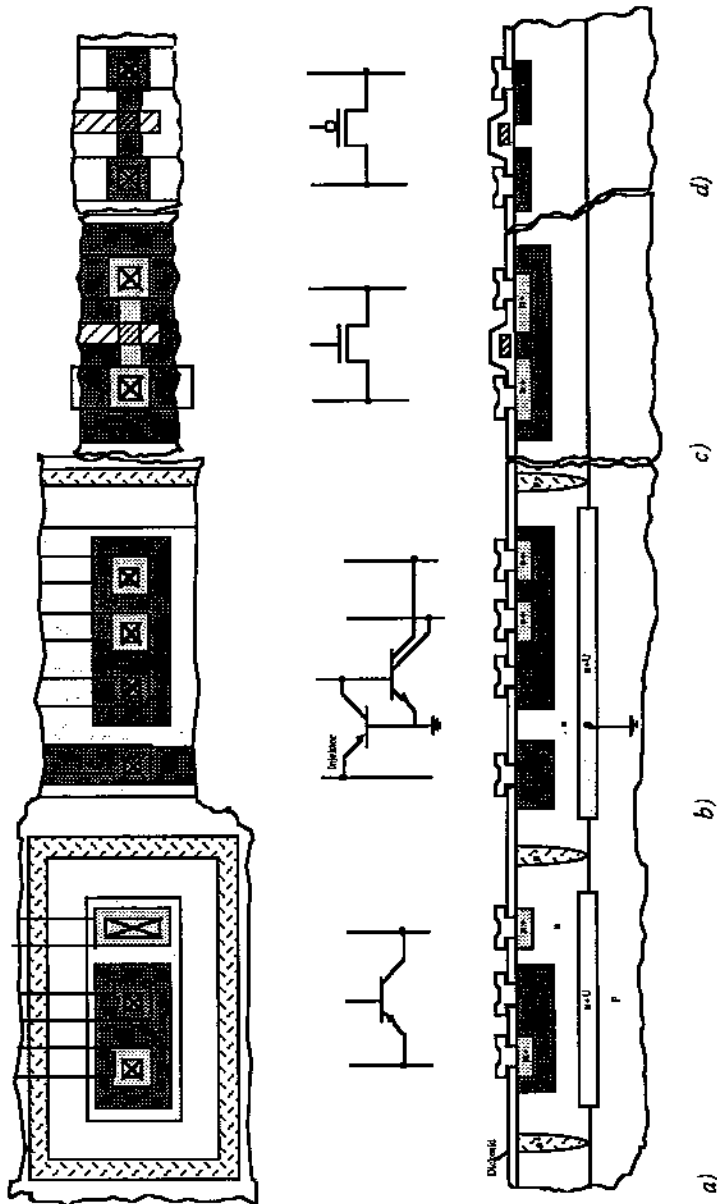


Bild 10.9: BiCMOS

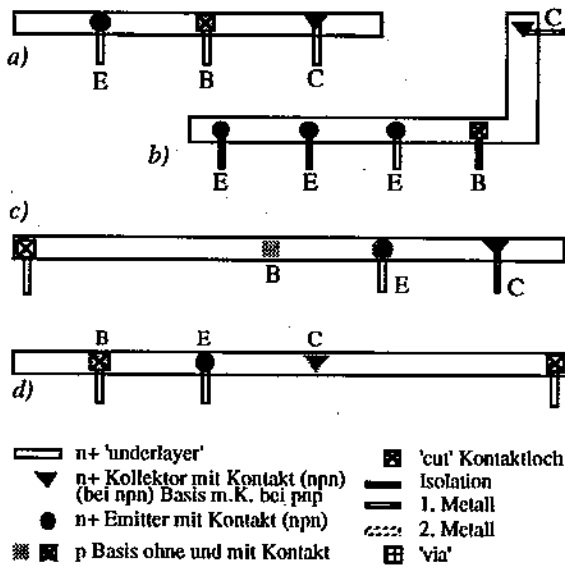


Bild 10.10: Stickdiagramme von bipolaren Transistoren:
a) nach Bild 10.4, b) Bild 10.6, c) Bild 10.7, d) Bild 10.8.

Technik für logische Schaltungen. Integrierte Injektions-Logik (IIL oder I^2L), auch MTL (Merged Transistor Logic) genannt, wird gern als eine eigene Technologie beschrieben, kann jedoch im Rahmen fast jeder anderen bipolaren Technologie als spezieller Layout-Stil realisiert werden. Schwierigkeiten kann es allerdings geben, wenn optimale Parameter angestrebt werden, insbesondere im Hinblick auf Geschwindigkeit. Es gab zwei unabhängige Erfinderpaaare: C. M. Hart und A. Slob (Philips) sowie H. H. Berger und S. K. Wiedemann (IBM). Die Patentpriorität liegt bei den beiden letzteren. Literatur ist reichhaltig zusammengefaßt in [5].

10.2.1 I^2L Devices

Bild 10.12 erläutert die technologische Realisierung der devices (Bauelemente): des Transistors und des Injektors (Stromquelle). In Bild 10.12 c sieht man deutlich die Schichtenfolge für zwei Transistoren. Rechts befindet sich ein npn-Multi-Kollektor-Transistor, dessen Emitter an die Unterschicht n+U angeschlossen ist. Links befindet sich ein pnp-Transistor, dessen Basis an die Unterschicht angeschlossen ist. Der Kollektor dieses pnp-Transistor benutzt mit der Basis des npn-Transistors eine gemeinsame p-Schicht. Insgesamt ergibt sich aus den beiden so miteinander verschmolzenen Transistoren das Schaltbild nach Bild 10.12 a. Der Emitter des pnp-Transistors wird an die Versorgungsspannung angeschlossen. Diese in etwa einer Konstantstromquelle gleichende Anordnung des pnp-Transistors wirkt ähnlich wie ein Lastwiderstand (für die vorausgehende Stufe) und wird *Injektor* genannt.

I^2L -Schaltungen sind stromsparend und erlauben eine hohe Integrationsdichte. Allerdings geht eine hohe Packungsdichte auf Kosten der Schaltgeschwindigkeit, wie in Bild 10.14 veran-

werden anstatt Farben Quasi Standard-Schraffuren oder Standard-Linienmuster verwendet, die meist in den Bildlegenden definiert sind). Hinzu kommen für die Kontakte spezielle Symbole. Im allgemeinen wird die Bedeutung der Farben und Muster anhand von Legenden deutlich (vgl. Bild 10.10). Man muß aufpassen, ob Verwechslung mit dem Layout ausgeschlossen ist. Solche Stick-Diagramme können auch für bipolare Schaltungen verwendet werden [1]. Bild 10.10 a - d zeigt die Stick-Diagramme der einfachen bipolaren Schaltungen aus Bild 10.4, Bild 10.6, Bild 10.7 und Bild 10.8.

10.2 Integrierte Injektions-Logik (I^2L)

Hierbei handelt es sich um eine äußerst Flächen-effiziente bipolare

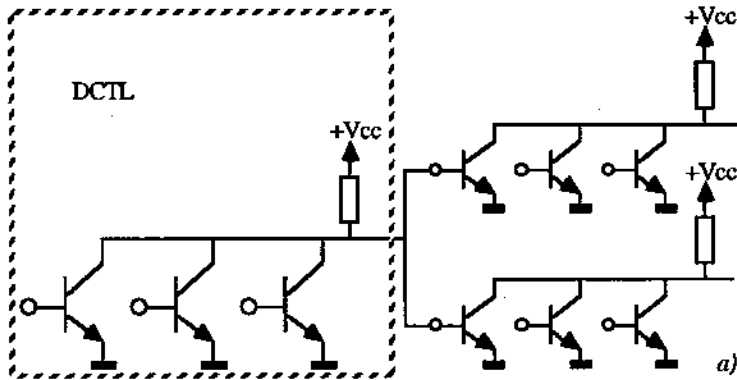


Bild 10.11: Verstehen von I²L-Schaltungen.

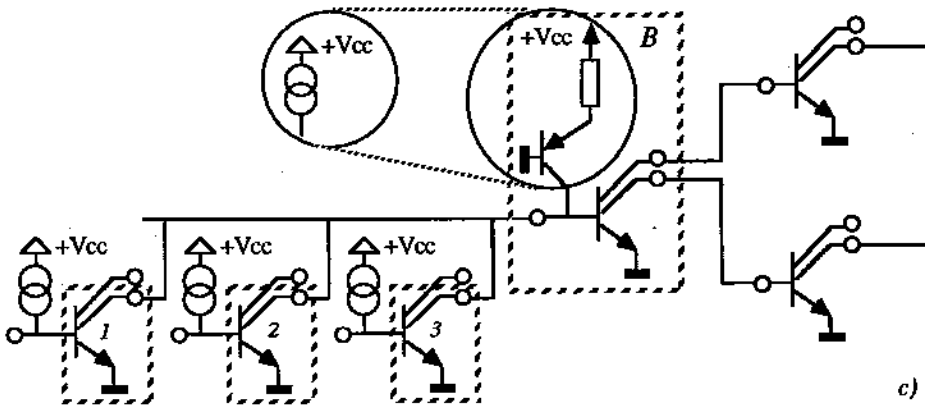
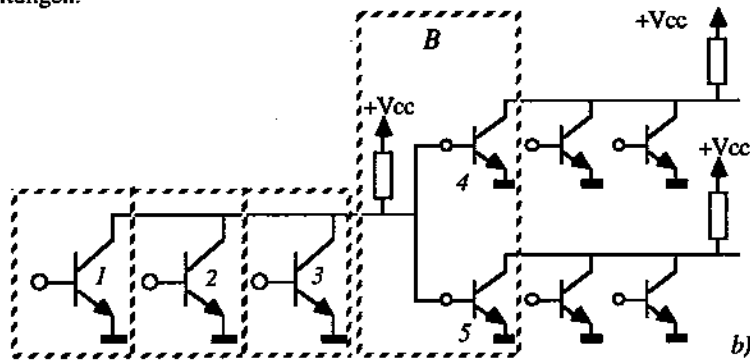
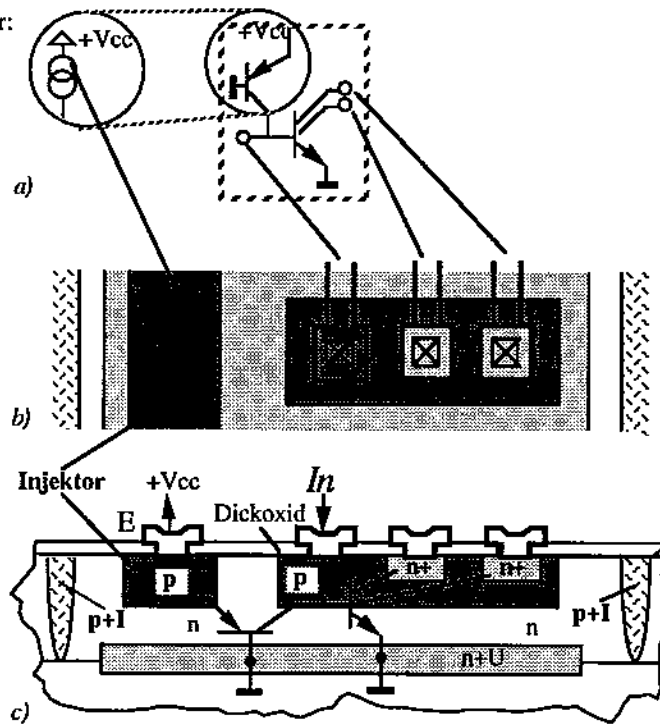


Bild 10.12: Ein I^2L -Gatter:
a) Schaltplan, b) Layout,
c) Schnittbild.



schaulich wird. Allseitig große Nähe des Transistors zum Injektor (Bild a) ergibt kurze Stromwege und somit niedrige Arbeitswiderstände und damit eine bessere Schaltgeschwindigkeit bei erhöhter Leistungsaufnahme. Die höchste Packungsdichte läßt sich hingegen mit der Anordnung nach Bild 10.14 d erzielen (vgl. auch Bild 10.21 c). Bei dieser Anordnung treten bei den einzelnen Kollektorausgängen des gleichen Transistors unterschiedliche Schaltgeschwindigkeiten auf. Beispielsweise in Bild 10.14 d schaltet Ausgang A schneller als Ausgang B.

10.2.2 I^2L -Schaltnetze

Zum Verstehen der Schaltungstechnik von Schaltnetzen in I^2L -Technik ist es zweckmäßig, den Injektor einfach als Lastwiderstand zu modellieren (Bild 10.11 a und b). Dann ist das *technology mapping*, d. h. die Abbildung der I^2L -Gatter-Zellen (also der verschmolzenen Transistoren) in ein Schaltnetz (in die Boole'sche Algebra) nur ein Partitionierungsproblem. Als Basis dieser Abbildung eignet sich DCTL-Technik (DCTL steht für *directly coupled transistor logic*). Bild 10.11 a zeigt das Beispiel eines in DCTL realisierten Schaltnetzes (der Kasten "DCTL" zeigt ein DCTL-nor-Gatter mit 3 Eingängen). Bild b zeigt den gleichen Schaltplan, jedoch mit anderer Partitionierung. Deutlich sichtbar ist das I^2L -Gatter im Kasten "B". Durch Vergleich mit Kasten "B" in Bild 10.11 c sieht man, daß die beiden Transistoren 4 und 5 aus Bild a durch einen einzigen Multi-Kollektor-Transistor ersetzt worden sind.



Die Transistoren 1, 2, und 3 hingegen (Bild b) werden als Bestandteile von Multi-Kollektor-Transistoren dreier anderer I²L-Gatter gesehen (vgl. Bild c). Dieses Technology mapping ist gewöhnungsbedürftig und führt anfänglich leicht zu Fehl-Interpretationen. Bild 10.15 zeigt die Realisierung zweier Boole'scher Ausdrücke (Bild a) durch eine gemeinsame I²L-Schaltung (Bild c). Die Schaltung nach Bild b ist falsch, denn an jeden Kollektor-Ausgang darf nur ein einziger Gatter-Eingang angeschlossen werden, weshalb der Transistor A zwei Kollektoren haben muß (siehe Bild 10.15 c).

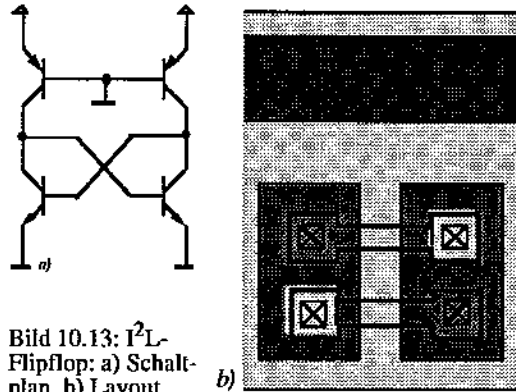


Bild 10.13: I²L-Flipflop: a) Schaltplan, b) Layout.

10.2.3 Technology Mapping für I²L

Technology mapping ist ein Teil des Entwurfsprozesses für Digitalschaltungen (z. B. [2]). Die Abbildung einer für eine bestimmte Technologie vorgegebenen Zellenbibliothek in die Logik-Ebene wird als technology mapping bezeichnet. Der durch die Technologie vorgegebene Vorrat an I²L-Gattern mit unterschiedlichen Zahlen von Kollektor-Ausgängen ist quasi eine sehr einfache Zellenbibliothek. Somit ist auch hier die Ableitung eines I²L-gerechten Schaltplanes (und somit einer Spezifikation für das Layout) aus Boole'schen Ausdrücken ein Technology-Mapping-Problem. Im folgenden wird ein Verfahren hierfür informell eingeführt.

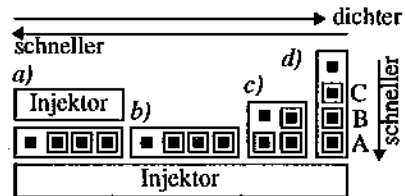


Bild 10.14: Schaltungsgeschwindigkeit gegen Packungsdichte bei I²L-Layout.

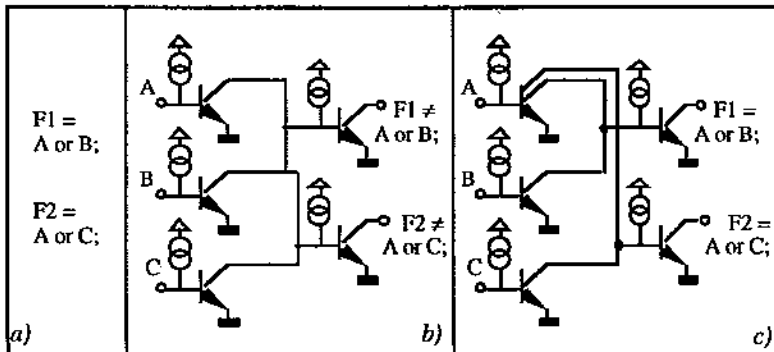


Bild 10.15. I²L-OR-Realisierung: a) Ausdrücke, b) falsch, c) richtig.

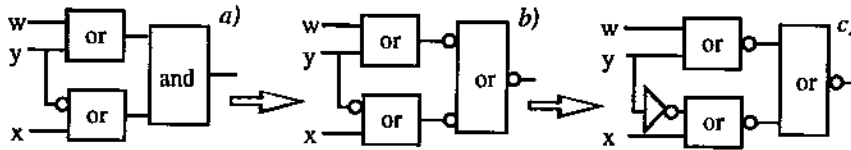


Bild 10.16: Logische Äquivalenz-Transformationen

Da es sich um eine Art Verhältnis-Logik mit negierenden Gatter-Ausgängen handelt, müssen die Boole'schen Ausdrücke erst in eine entsprechende Form umgewandelt werden: jeder logische Operator muß eine Negation am Ausgang haben. Hierzu eignen sich die Shannon'schen Regeln (siehe Beispiel in Bild 10.16). Das Beispiel in Bild 10.17 b hat eine solche Form.

Zur Ableitung des I²L-gerechten Schaltplanes kann der Einfachheit halber der Injektor zunächst entfallen (Bild 10.17 a/b). Wir erhalten vereinfachte Zwischendarstellungen wie beispielsweise in Bild 10.17 a, c, e, Bild 10.19 b oder Bild 10.21 a.

Die Ableitung des Schaltplanes wird am Beispiel nach Bild 10.17 d veranschaulicht. Der Schaltplan nach Bild 10.17 c läßt sich direkt daraus ableiten. Diese Transformation gilt auch invers: bei der Logik-Extraktion, d. h. bei der Rückgewinnung des Logik-Diagramm aus dem Schaltplan. Das Logikdiagramm in Bild 10.17 f ist äquivalent zu Bild d. Daraus ergibt sich Bild e als zweite Möglichkeit der Interpretation von Bild d. Diese ist wohl etwas schwieriger zu handhaben, weshalb Interpretation 1 empfohlen sei (Bild Bild 10.17 c / d). Die hier skizzierte Form des Technology Mapping ist auch auf MDMOS-Technologie anwendbar (s. Bild 10.18), eine jedoch kaum verbreitete MOS-Technologie mit Multi-Drain-Transistoren [6].

10.2.4 I²L-Schaltungs-Entwurf

In diesem Abschnitt soll die Ableitung von I²L-Schaltplänen nebst entsprechendem Layout aus Logik-Diagrammen oder Boole'schen Ausdrücken an Hand einige Beispiele informell eingeführt werden [1] [3]. Bild 10.13 zeigt Schaltplan und Layout eines sehr einfachen Flip-Flop. Bild 10.19 zeigt den Entwurf eines D-Flip-Flop. Da die Problemformulierung nur nand-Gatter

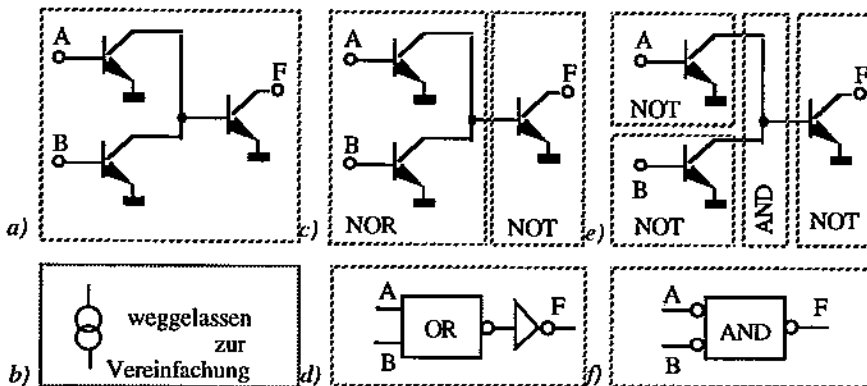


Bild 10.17: I²L-Logik-Extraktion: a) Schaltplan, c/d) Interpretation 1, e/f) Interpretation 2.



verwendet (Bild a), ist die Gewinnung des Schaltplans (Bild b) einfach gemäß Bild 10.17 e / f (man verwende von dieser Transformation die Untermenge gemäß Bild 10.19 d / e). Nach diesem Muster kann der Schaltplan (Bild b) aus dem Logikdiagramm (Bild a) abgeleitet werden. Bild c zeigt das aus Bild b entwickelte Layout.

Bild 10.20 zeigt als weiteres einfaches Beispiel einen Halbaddierer. Vom Logikdiagramm (Bild a) kann durch die Transformation nach Bild 10.17 c/d der Schaltplan (Bild c) gewonnen werden. Die Transistoren 1 und 2 mit dem and-Draht "G1" in Bild c realisieren das Gatter G1 und Bild a. Die Transistoren 3 und 4 mit dem and-Draht C realisieren Gatter G2, wobei die Transistoren 1 und 2 die Negationen am Gatter-Eingang bilden. Transistoren 5 und 6 mit and-Draht D bilden Gatter G3.

Bild 10.21 zeigt einen Volladdierer, ein etwas komplexeres Beispiel. Bild b zeigt die Wahrheitstafel für die beiden Funktionen Sum und C_{out}. Bild b zeigt den Schaltplan, wobei Teile der Schaltung für beide Funktionen gemeinsam verwendet werden. Bild c zeigt das Layout. Aus Optimierungsgründen wird für diesen Volladdierer vom Schema nach Bild 10.20 d abgewichen. Nähere Einzelheiten finden sich in den folgenden Absätzen.

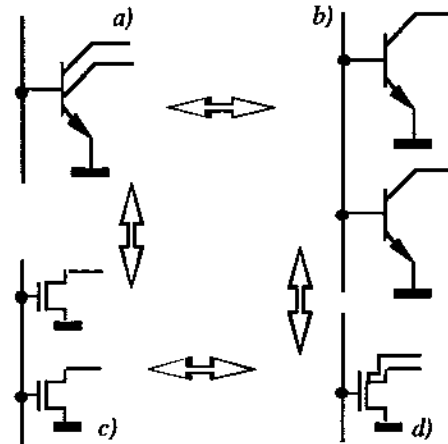


Bild 10.18: Gegenüberstellung von I²L-Schaltungstechnik (a/b) und MDMOS-Technologie (c/d).

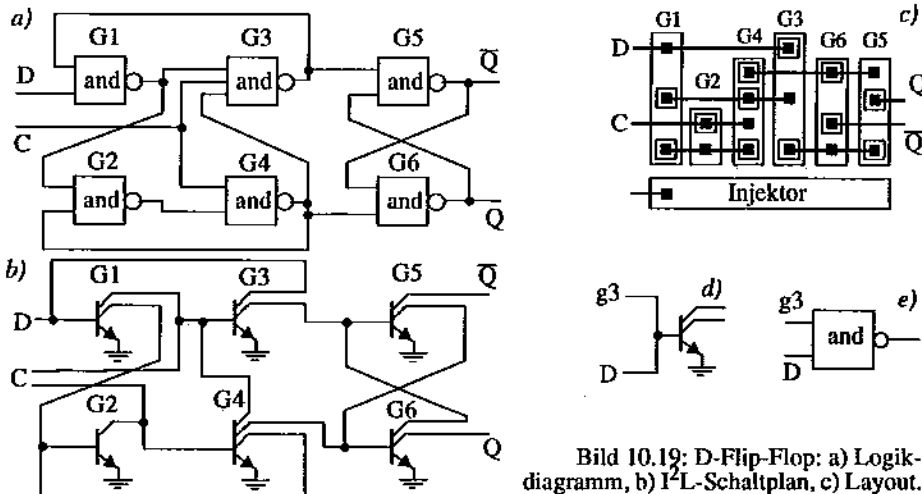


Bild 10.19: D-Flip-Flop: a) Logikdiagramm, b) I²L-Schaltplan, c) Layout.

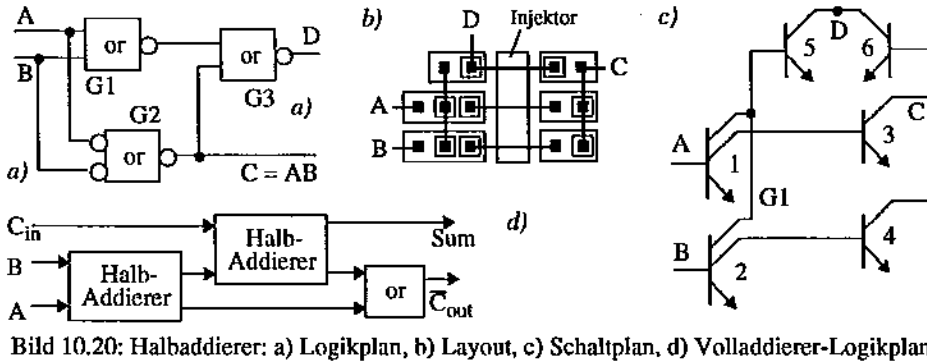


Bild 10.20: Halbaddierer: a) Logikplan, b) Layout, c) Schaltplan, d) Volladdierer-Logikplan.

Zunächst soll der Schaltplan für die Übertragungsfunktion C_{out} entwickelt werden. Wir wollen zwei verschiedene Vorgehensweise anwenden und dann das beste der beiden Ergebnisse auswählen. Zunächst verwenden wir die disjunktive Form der Übertragungsfunktion als Problemformulierung (Bild 10.23a). Durch das 2. Shannon'sche Theorem erhalten (Bild 7.3 k) wir Bild b. Dann wandeln wir das entstandene and-Gatter (2. Ebene) um nach dem 1. de Morgan'schen Satz (vgl. Bild 7.3 g) und erhalten Bild c. Da wir eine Negation am Ausgang benötigen (vgl. Bild 10.17 c oder e), wenden wir die Tautologie an (Bild 7.3 f) und erhalten Bild d. Über die informelle Zwischenform in Bild e erhalten wir den Schaltplan nach Bild 10.23 f.

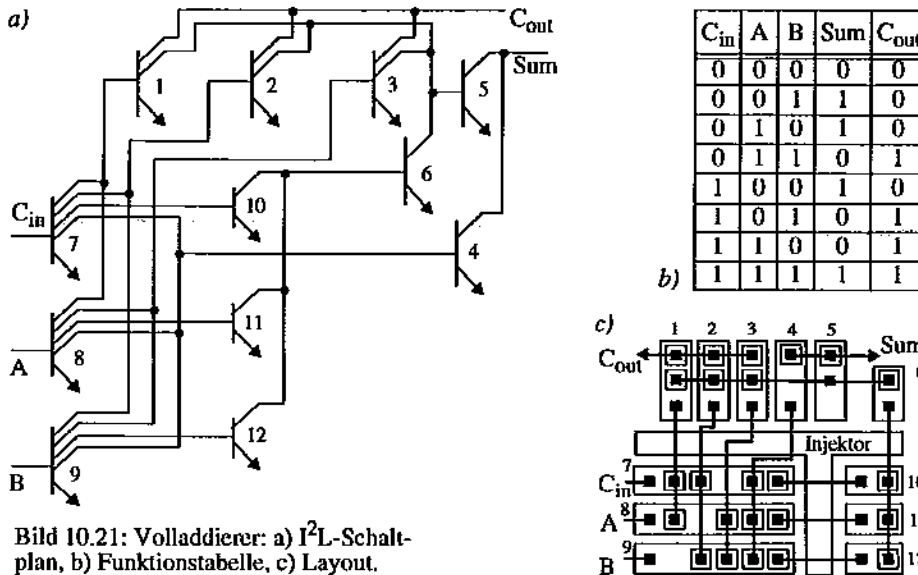
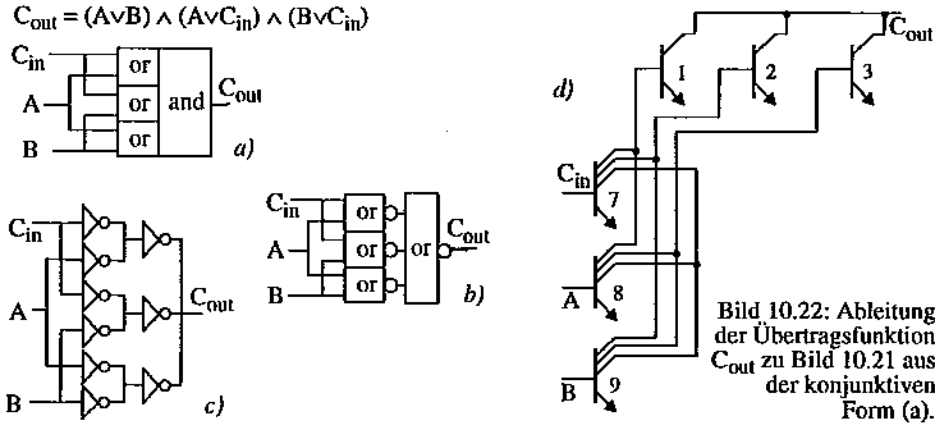
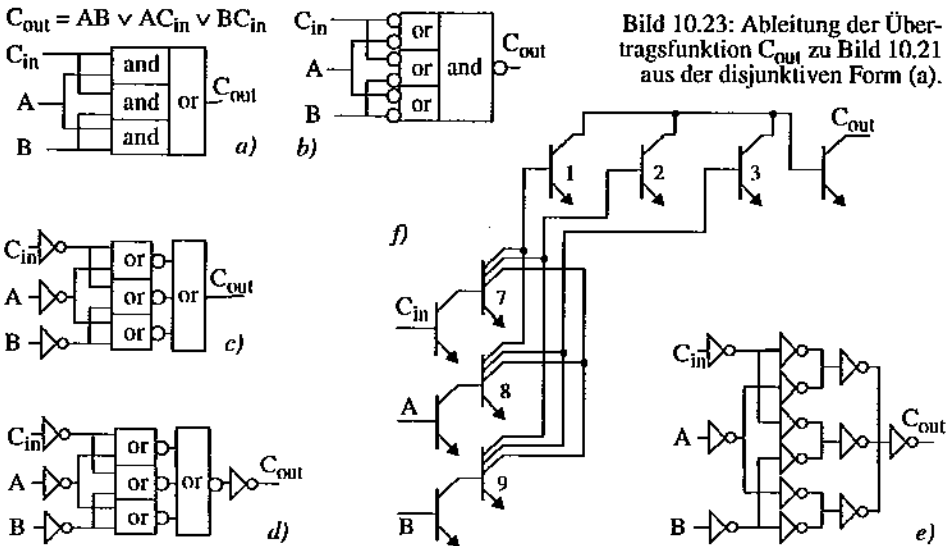


Bild 10.21: Volladdierer: a) I^2L -Schaltplan, b) Funktionstabelle, c) Layout.



Die eben abgeleitete Schaltung besteht aus einer Serie von 4 Schaltstufen mit entsprechender Kumulation der Gatterlaufzeiten. Eine Lösung mit weniger Stufen wäre wünschenswert. Wir versuchen dies durch einen anderen Problemformulierungsansatz zu erreichen. Wir gehen von der konjunktiven Form aus (Bild 10.22 a). Durch Anwendung des 2. de Morgan'schen Satzes (Bild 7.3 h) auf das **and**-Gatter erhalten wir Bild b. Über die Zwischenform nach Bild c erhalten wir den Schaltplan nach Bild d. Die Schaltung ist schneller als obige Version, da hier jeweils nur 2 Transistoren in Serie geschaltet sind.

Unter Mitverwendung letzterer Lösung soll nun der gesamte Addierer realisiert werden. Unter Mitverwendung von Teilen der Schaltung für die Übertragungsfunktion soll nun die Summenfunk-



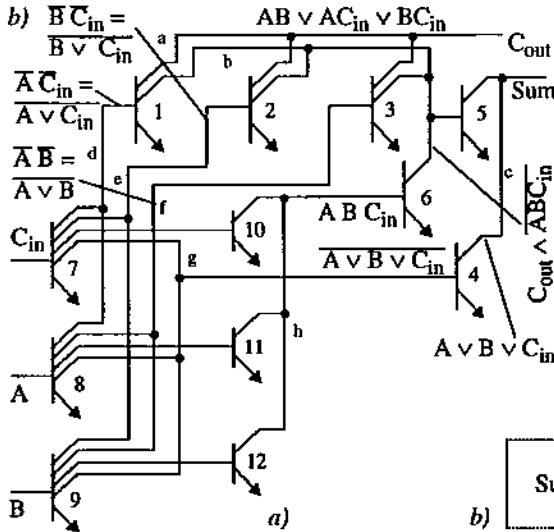


Bild 10.24: Ableitung des I²L-Schaltplan aus dem Logikdiagramm von Bild 10.21 unter Mitverwendung der Teilschaltung für C_{out} (Bild 10.22).

tion Sum realisiert werden. Aus Gründen, die den Rahmen dieses Textes sprengen würden, gehen wir von der Problemformulierung nach Bild 10.23 b aus. Wir erhalten den Gesamtschaltplan nach Bild 10.23 a. Anhand der in diesen Plan eingetragenen Boole'schen Ausdrücke kann die Syntheseprozedur zurückverfolgt werden. Die Transistoren 1 - 3 und 7 - 9 realisieren auch die Übertragungsfunktion C_{out}. Für die Summenfunktion werden zusätzlich die Transistoren 4 - 6 und 10 - 12 benötigt. Die eigenartige Form der Problemformulierung gemäß Bild b war notwendig, um unter Mehrfachausnutzung zu dieser optimalen Lösung zu kommen. Das sehr kompakte Layout dazu ist in Bild 10.21 c zu sehen.

10.3 Literatur

- [1] M. I. Elmasry: Digital Bipolar Integrated Circuits; Wiley-Interscience; New York 1983
- [2] S. Ercolani, G. De Micheli: Technology mapping for electrically programmable gate arrays; Proc. DAC 1991
- [3] S. Muroga: VLSI System Design; Wiley-Interscience, 1982
- [4] B. El-Kareh, R. J. Bombard: Introduction to VLSI Silicon Devices, Physics, Technology and Characterization, Kluwer Academic Publishers, 1986
- [5] J. E. Smith: Integrated Injection Logic; IEEE Press, New York 1980
- [6] A. Leblond: TRACAS, automatic router for circuits designed with MDMOS symbolism; IEEE Circuits and Devices Magazine, July 1985, p. 6 - 13